

2 / 11

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-373944
 (43)Date of publication of application : 26.12.2002

(51)Int.Cl. H01L 21/8238
 H01L 21/28
 H01L 21/8242
 H01L 21/8247
 H01L 27/092
 H01L 27/108
 H01L 27/115
 H01L 29/43
 H01L 29/78
 H01L 29/788
 H01L 29/792

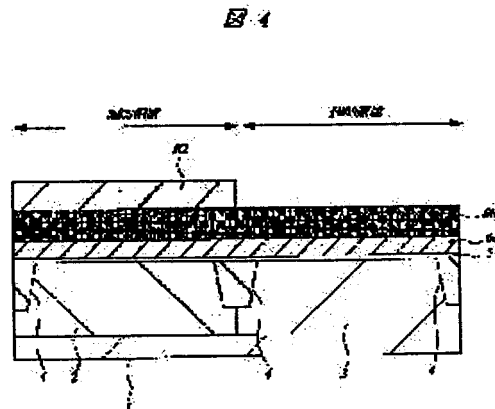
(21)Application number : 2001-181151 (71)Applicant : HITACHI LTD
 HITACHI ULSI SYSTEMS CO LTD
 (22)Date of filing : 15.06.2001 (72)Inventor : YAMASHITA HISAOMI
 SHIMIZU AKIHIRO
 KURODA ATSUSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To adjust concentration of the impurity of the gate electrode of a MISFET, and to improve characteristics of the MISFET.

SOLUTION: A fine particle size silicon film 6a and an amorphous silicon film 6b are successively deposited on a semiconductor substrate 1 via a gate insulating film 5, n- and p-type impurities are doped to the amorphous silicon film 6b on a p-type well 2 (NMOS region) and the amorphous silicon film 6b on an n-type well 3 (PMOS region), respectively, the amorphous silicon film 6b and the fine particle-diameter silicon film 6a are subjected to patterning, and the impurities are diffused to form n- and p-type gate electrodes in the NMOS and PMOS regions, respectively, thus reducing the strike-through of the impurities due to channeling, improving uniformity of the diffusion of the impurities, and suppressing gate depletion.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-373944

(P2002-373944A)

(43)公開日 平成14年12月26日(2002. 12. 26)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 21/8238		H 0 1 L 21/28	3 0 1 A 4 M 1 0 4
21/28	3 0 1	27/08	3 2 1 D 5 F 0 4 8
21/8242		29/62	G 5 F 0 8 3
21/8247		27/10	6 2 1 C 5 F 1 0 1
27/092		29/78	3 7 1 5 F 1 4 0
審査請求 未請求 請求項の数 5 O L (全 10 頁) 最終頁に続く			

(21)出願番号 特願2001-181151(P2001-181151)

(22)出願日 平成13年6月15日(2001. 6. 15)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

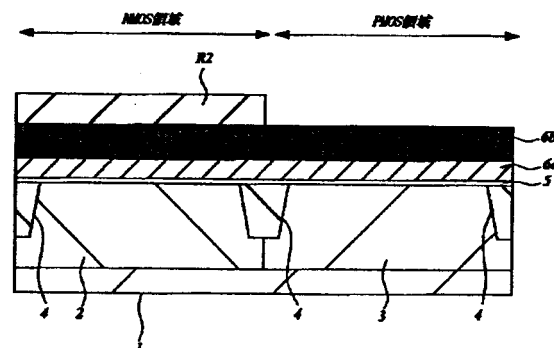
(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 MISFETのゲート電極の不純物濃度を調整し、MISFETの特性を向上させる。

【解決手段】 半導体基板1上に、ゲート絶縁膜5を介して微粒径シリコン膜6aおよびアモルファスシリコン膜6bを順次堆積した後、p型ウエル2 (NMOS領域) 上のアモルファスシリコン膜6bにn型不純物を、n型ウエル3 (PMOS領域) 上のアモルファスシリコン膜6bにp型不純物を注入した後、アモルファスシリコン膜6bおよび微粒径シリコン膜6aをパターニングし、前記不純物を拡散させることによりNMOS領域にn型のゲート電極およびPMOS領域にp型のゲート電極を形成する。この結果、チャネリングによる不純物の突き抜けを低減でき、また、不純物の拡散の均一性を向上させ、ゲート空乏化を抑制できる。

図 4



【特許請求の範囲】

【請求項1】 第1導電型のMISFETを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板上に、ゲート絶縁膜を形成する工程と、

(b) 前記ゲート絶縁膜上に、多結晶シリコン膜を形成する工程と、

(c) 前記多結晶シリコン膜上に、アモルファスシリコン膜を形成する工程と、

(d) 前記アモルファスシリコン膜中に、前記第1導電型の不純物を注入する工程と、

(e) 前記多結晶シリコン膜およびアモルファスシリコン膜をパターニングすることによって前記第1導電型のゲート電極を形成する工程と、

(f) 前記ゲート電極の両側に前記第1導電型の不純物を注入することによって、ソース、ドレイン領域を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 前記多結晶シリコン膜の結晶粒径は、
0.06 μm 以下であることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項3】 前記(b)および(c)工程は、同一装置内で行われることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項4】 第1導電型のMISFETを有する半導体集積回路装置であって、
前記第1導電型のMISFETは、

(a) 半導体基板中に形成されたソースおよびドレインと、

(b) 前記ソースとドレインとの間の半導体基板上に形成されたゲート絶縁膜と、

(c) 前記ゲート絶縁膜上に形成され、前記第1導電型の不純物を有するゲート電極であって、多結晶シリコン膜およびアモルファスシリコン膜の積層膜よりなるゲート電極と、

を有することを特徴とする半導体集積回路装置。

【請求項5】 前記多結晶シリコン膜の結晶粒径は、
0.06 μm 以下であることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造方法に関し、特に、MISFET (Metal Insulator Semiconductor Field Effect Transistor) を有する半導体集積回路装置およびその製造方法に関するものである。

【0002】

【従来の技術】 例えば、半導体基板上に相補型のMISFETを形成する場合、n型のMISFETおよびp型

のMISFETのそれぞれのゲート電極にn型の不純物がドーピングされていた。

【0003】

【発明が解決しようとする課題】 しかしながら、p型のMISFETのゲート電極をn型とした場合、p型の半導体とn型の半導体との仕事関数の差から、閾値電位 V_t を下げるのが困難であった。

【0004】 そこで、n型のMISFETのゲート電極をn型とし、p型のMISFETのゲート電極をp型 (いわゆるデュアルゲート構造) とすることで、相補型MISFETを低電圧化においても高速に動作 (高性能化) させる技術が検討されている。

【0005】 本発明者らは、かかる技術に関連する研究・開発に従事しており、デュアルゲート構造の相補型MISFETについて検討した結果、素子の微細化が進む中で、MISFETの駆動電流減少による不良の発生率が高くなるといった問題に直面した。

【0006】 この問題について、本発明者らが鋭意検討した結果、MISFETのゲート電極中にゲート長相当のグレインの存在することが原因であることが半明した。

【0007】 即ち、n型のMISFETおよびp型のMISFETのゲート電極は、アモルファスシリコンを堆積しパターニングした後、n型もしくはp型の不純物が注入される。この際、ゲート電極は、アモルファス状であるが、その後のn型もしくはp型の不純物の拡散のための熱処理時に多結晶化する。この多結晶化の際に、ゲート長相当までそのグレイン (結晶粒) が成長するとゲート電極底部まで不純物が拡散せず、ゲート電極中に空乏層が生じる。その結果、見かけのゲート絶縁膜厚が大きくなり、駆動電流が減少してしまうのである。

【0008】 一方、n型のMISFETおよびp型のMISFETのゲート電極を、多結晶シリコンを堆積した後、n型もしくはp型の不純物を注入することにより形成すると、チャネリングによる不純物の突き抜けが起こり、これらの不純物が半導体基板 (チャネル領域) まで到達し、閾値電位 V_t の変動を引き起こす。

【0009】 また、ゲート電極上にシリサイド層を形成し、ゲート電極の低抵抗化を図る場合には、不純物濃度が小さい方がシリサイド化反応が起こりやすいため、多結晶シリコンを堆積することにより、n型もしくはp型の不純物を注入した後、さらに、アモルファスシリコンを堆積し、ゲート電極を形成する技術も検討されている。

【0010】 しかしながら、この場合は、多結晶シリコンとアモルファスシリコンとの界面に自然酸化膜が生じ、不純物の拡散が不均一となったり、また、ゲート電極のパターニングが困難になる。

【0011】 本発明の目的は、MISFETのゲート電極の不純物濃度を調整できる技術を提供することにある。

る。

【0012】本発明の他の目的は、MISFETの特性を向上させる技術を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】(1) 本発明の半導体集積回路装置の製造方法は、第1導電型のMISFETを有する半導体集積回路装置の製造方法であって、ゲート絶縁膜上に、多結晶シリコン膜を形成する工程と、この多結晶シリコン膜上に、アモルファスシリコン膜を形成する工程と、このアモルファスシリコン膜中に、第1導電型の不純物を注入する工程と、多結晶シリコン膜およびアモルファスシリコン膜をパターニングすることによって第1導電型のゲート電極を形成する工程を有する。

【0016】この多結晶シリコン膜の結晶粒径を、0. 20 06 μm 以下とすることができる。

【0017】また、多結晶シリコン膜とアモルファスシリコン膜を同一装置内で形成することができる。

【0018】(2) 本発明の半導体集積回路装置は、第1導電型のMISFETのゲート絶縁膜上に形成され、前記第1導電型の不純物を有するゲート電極であって、多結晶シリコン膜およびアモルファスシリコン膜の積層膜よりなるゲート電極を有する。

【0019】この多結晶シリコン膜の結晶粒径を、0. 30 06 μm 以下とすることができる。

【0020】

【発明の実施の形態】(実施の形態1) 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、原則として実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0021】本実施の形態の半導体集積回路装置の製造方法を図1～図9を用いて説明する。図1～図9は、本実施の形態の半導体集積回路装置の製造方法を工程順に示した基板の要部断面図である。

【0022】まず、図1に示すように、例えばp型の単結晶シリコンからなる半導体基板1を用意し、半導体基板1の素子分離領域に素子分離4を形成する。この素子分離4を形成するには、まず半導体基板1をエッチングして深さ350nm程度の溝を形成した後、半導体基板1を約850℃～1000℃で熱酸化することによって、この溝の内壁上に膜厚10nm程度の薄い酸化シリコン膜(図示せず)を形成する。次に、溝の内部を含む半導体基板1上にCVD法で膜厚450～500nm程度の酸化シリコン膜を堆積し、溝外部の酸化シリコン膜を化学機 50

械的研磨(CMP:Chemical Mechanical Polishing)法により除去することによって、その表面を平坦化する。

【0023】ここで、図1中の右側をp型のMISFET形成領域(PMOS領域)、左側をn型のMISFET形成領域(NMOS領域)とする。

【0024】次に、半導体基板1のNMOS領域にp型不純物(例えばホウ素)を注入し、半導体基板1のPMOS領域にn型不純物(例えばリン)を注入した後、半導体基板1を約950℃で熱処理し、上記不純物を拡散させることによって、p型ウエル2およびn型ウエル3を形成する。

【0025】その後、図2に示すように、フッ酸を用いたウェットエッチングで半導体基板1の表面を洗浄し、続いて半導体基板1を約700～800℃で熱酸化することによって、その表面に膜厚5～6nm程度の清浄なゲート絶縁膜5を形成する。

【0026】次に、ゲート絶縁膜5上に、CVD(Chemical Vapor Deposition)法により微粒径シリコン膜6aを堆積する。この微粒径シリコン膜6aを堆積するには、まず、ゲート絶縁膜5が形成されたウエハを枚葉デポ装置に挿入する。この際、装置内は、窒素(N_2)でパージされている。次いで、装置内を減圧状態とし、シラン(SiH_4)系のガスを原料として、640～660℃の温度下で、微粒径シリコン膜6aを堆積する。この際、微粒径シリコン膜6aのグレインサイズ(結晶粒径)は、0.06 μm 程度となる。

【0027】次いで、微粒径シリコン膜6a上に、CVD法によりアモルファスシリコン膜6bを堆積する。このアモルファスシリコン膜6bは、微粒径シリコン膜6aの形成と同じ装置を用い、微粒径シリコン膜6aの堆積後、装置内の温度を530℃程度まで下げ、装置内温度が安定した後、シラン(SiH_4)系のガスを原料として堆積する。このように、成膜温度を変えることにより、結晶粒径や原子の状態を変えることができる。例えば、単結晶や多結晶を非晶質に変えることができる。なお、原料ガスの流量や装置内の圧力を変えることにより成膜速度(デポレート)を変えることができる。

【0028】このように、本実施の形態によれば、微粒径シリコン膜6aとアモルファスシリコン膜6bを同一装置内で堆積したので、これらの膜間に自然酸化膜が形成されることを防止することができる。

【0029】即ち、前述の積層膜を異なる装置で形成せざるを得ない場合には、装置間の移動時等に、微粒径シリコン膜上に自然酸化膜が生じてしまう。この自然酸化膜は、後述するゲート電極中の不純物の不均一拡散やゲート電極の加工不良の原因となる。

【0030】次いで、図3に示すように、アモルファスシリコン膜6b上であって、n型ウエル3上にレジスト膜R1を形成する。このレジスト膜をマスクに、アモル

ファスシリコン膜6 b中にリン(P)もしくはヒ素(As)等のn型不純物を、イオン注入法により注入する。このイオン注入のエネルギーは、不純物がアモルファスシリコン膜6 bに到達する程度のエネルギーであり、不純物は、微粒径シリコン6 a中には注入されない。

【0031】次いで、図4に示すように、レジスト膜R1をエッチングにより除去し、アモルファスシリコン膜6 b上であって、p型ウエル2上にレジスト膜R2を形成する。このレジスト膜R2をマスクに、アモルファスシリコン膜6 b中に、ホウ素(B)もしくはフッカホウ素(BF₂)等のp型不純物を、イオン注入法により注入する。この際のイオン注入のエネルギーも、不純物がアモルファスシリコン膜6 bに到達する程度のエネルギーであればよい。

【0032】このように、本実施の形態によれば、n型もしくはp型の不純物をアモルファスシリコン膜6 bに注入することとしたので、チャネリングによる不純物の突き抜けを防止でき、これらの不純物が半導体基板(チャネル領域)まで到達することによる閾値電位V_tの変動を防止することができる。

【0033】次いで、レジスト膜R2をエッチングにより除去し、図5に示すように、アモルファスシリコン膜6 b上のゲート電極形成予定領域にレジスト膜(図示せず)を形成し、このレジスト膜(図示せず)をマスクにしたドライエッチングで、アモルファスシリコン膜6 bおよび微粒径シリコン膜6 aをエッチングする。

【0034】ここで、本実施の形態によれば、前述したように、微粒径シリコン膜6 aとアモルファスシリコン膜6 b間の自然酸化膜の形成を防止することができ、これらの膜のパターニング(加工)を精度良く行うことができる。

【0035】即ち、微粒径シリコン膜6 aおよびアモルファスシリコン膜6 bのエッチングは、下層のゲート絶縁膜5や素子分離4を構成する酸化シリコン膜に対して選択比がとれる条件下で行われる。従って、これらの膜中に自然酸化膜が存在すると、この自然酸化膜上でエッチング速度が減少し、加工不良が生じ得る。

【0036】これに対して、本実施の形態においては、自然酸化膜の形成を防止(もしくは低減)することができるので、加工不良を低減することができる。

【0037】次に、図6に示すように、950~1000℃の熱処理(RTA: Rapid Thermal Anneal)を施し、アモルファスシリコン膜6 b中の不純物の拡散を行う。この際、アモルファスシリコン膜6 b中の不純物は、下層の微粒径シリコン膜6 aまで拡散する。その結果、n型の不純物を含有するアモルファスシリコン膜6 bおよび微粒径シリコン膜6 aからなるn型のゲート電極G_nおよびp型の不純物を含有するアモルファスシリコン膜6 bおよび微粒径シリコン膜6 aからなるp型のゲート電極G_pが形成される。

【0038】この際、微粒径シリコン膜6 aのグレインサイズは、0.06 μm程度であるため、不純物の拡散の均一性を確保することができる。その結果、ゲートの空乏化を抑制でき、駆動電流の減少を防止することができる。

【0039】また、ゲート電極のエッチング(加工)後に、不純物の拡散を行ったので、n型の不純物を含有するシリコン膜とp型の不純物を含有するシリコン膜とのエッチングレートの違いによるゲート寸法差を低減することができる。

【0040】次に、図7に示すように、p型ウエル2上のゲート電極G_nの両側の半導体基板1にヒ素等のn型不純物を注入しn⁺型半導体領域11を形成する。次いで、n型ウエル3上のゲート電極G_pの両側の半導体基板1にホウ素等のp型不純物を注入しp⁺型半導体領域12を形成する。

【0041】次いで、図8に示すように、半導体基板1上にCVD法で窒化シリコン膜を堆積した後、この窒化シリコン膜を異方的にエッチングすることによりサイドウォール16sをゲート電極G_n、G_pの側壁に形成する。

【0042】次いで、サイドウォール16sをマスクに、p型ウエル2中に、ヒ素等のn型不純物を注入することによってn⁺型半導体領域14(ソース、ドレイン)を形成する。また、n型ウエル3中に、ホウ素等のp型不純物を注入することによってp⁺型半導体領域15(ソース、ドレイン)を形成する。

【0043】次いで、図9に示すように、シリコン基板1上に、スパッタ法によりCo(コバルト)膜を堆積し、熱処理を施すことにより、シリコン基板1(n⁺型半導体領域14、p⁺型半導体領域15)とCo膜との接触部およびゲート電極G_n、G_pとCo膜との接触部においてシリサイド化反応をおこさせ、シリコン基板1(n⁺型半導体領域14、p⁺型半導体領域15)およびゲート電極G_n、G_p上に、CoSi₂(コバルトシリサイド)層21aを形成する。

【0044】次いで、未反応のCo膜をエッチングにより除去し、シリコン基板1(n⁺型半導体領域14、p⁺型半導体領域15)およびゲート電極G_n、G_p上に、CoSi₂層21aを残存させる。このCoSi₂層21aは、n⁺型半導体領域14、p⁺型半導体領域15およびゲート電極の低抵抗化、もしくは接続抵抗の低減のために形成される。

【0045】ここまでの工程で、LDD(Lightly Doped Drain)構造のソース、ドレインを備えたnチャネル型MISFETQ_nおよびpチャネル型MISFETQ_pが形成される。

【0046】続いて、nチャネル型MISFETQ_nおよびpチャネル型MISFETQ_p上に酸化シリコン膜等からなる層間絶縁膜を堆積し、この層間絶縁膜上に

配線が形成されるが、これらの図示および形成工程の詳細な説明は省略する。また、この配線と、 n^+ 型半導体領域14（ソース、ドレイン）もしくは p^+ 型半導体領域15（ソース、ドレイン）とは、層間絶縁膜中に形成されたプラグを介して接続される。

【0047】このように、本実施の形態によれば、ゲート電極を、アモルファスシリコン膜6bと微粒径シリコン膜6aとの積層膜で構成したので、これらの膜中に不純物を注入する際のチャネリングによる不純物の突き抜けを防止できる。また、不純物の拡散の均一性を向上させ、ゲート空乏化を抑制できる。その結果、MISFETの Q_n 、 Q_p の閾値電位の変動を抑制し、また、駆動電流の減少を防止することができる。

【0048】なお、本実施の形態においては、微粒径シリコン膜6aのグレインサイズを、 $0.06\mu\text{m}$ 程度としたが、このグレインサイズは、 $0.06\mu\text{m}$ 以下でもよく、今後のゲート電極幅の微細化に対応するためには、グレインサイズは、より小さい方が好ましい。

【0049】（実施の形態2）次に、ゲート電極中に金属膜を用いたMISFETについて説明する。このように、ゲート電極中に金属膜を用いることにより、ゲート電極の抵抗を下げるができる。

【0050】以下、本実施の形態の半導体集積回路装置の製造方法を説明する。図10～図13は、本実施の形態の半導体集積回路装置の製造方法を工程順に示した基板の要部断面図である。なお、アモルファスシリコン膜6bに、 n 型不純物および p 型不純物を注入する工程までは、図1～図4を参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。

【0051】図4に示すアモルファスシリコン膜6bが形成された半導体基板1に、 $950\sim 1000^\circ\text{C}$ の熱処理（RTA）を施し、アモルファスシリコン膜6b中の不純物の拡散を行う。この際、アモルファスシリコン膜6b中の不純物は、下層の微粒径シリコン膜6aまで拡散する（図10）。

【0052】次いで、図11に示すように、アモルファスシリコン膜6b上に、スパッタ法により窒化チタン（TiN）膜31およびタングステン（W）膜32を順次堆積する。窒化チタン膜は、シリコンとタングステン（金属）との反応を防止するためのバリアメタル膜である。窒化チタンの他、窒化タングステン（ WN_x ）膜をバリアメタル膜として堆積してもよい。

【0053】次いで、図12に示すように、タングステン膜32上のゲート電極形成予定領域にレジスト膜（図示せず）を形成し、このレジスト膜（図示せず）をマスクにしたドライエッチングで、タングステン（W）膜32、窒化チタン（TiN）膜31、アモルファスシリコン膜6bおよび微粒径シリコン膜6aをエッチングする。

【0054】その結果、 n 型の不純物を含有するアモル

ファスシリコン膜6bおよび微粒径シリコン膜6a、窒化チタン（TiN）膜31およびタングステン（W）膜32からなる n 型のゲート電極 G_n および p 型の不純物を含有するアモルファスシリコン膜6bおよび微粒径シリコン膜6a、窒化チタン（TiN）膜31およびタングステン（W）膜32からなる p 型のゲート電極 G_p が形成される。

【0055】次に、図13に示すように、 p 型ウエル2上のゲート電極 G_n の両側の半導体基板1にヒ素等の n 型不純物を注入し n -型半導体領域11を形成する。次いで、 n 型ウエル3上のゲート電極 G_p の両側の半導体基板1にホウ素等の p 型不純物を注入し p -型半導体領域12を形成する。

【0056】次いで、半導体基板1上にCVD法で窒化シリコン膜を堆積した後、この窒化シリコン膜を異方的にエッチングすることによりサイドウォール16sをゲート電極 G_n 、 G_p の側壁に形成する。

【0057】次いで、サイドウォール16sをマスクに、 p 型ウエル2中に、ヒ素等の n 型不純物を注入することによって n^+ 型半導体領域14（ソース、ドレイン）を形成する。また、 n 型ウエル3中に、ホウ素等の p 型不純物を注入することによって p^+ 型半導体領域15（ソース、ドレイン）を形成する。

【0058】このように、本実施の形態によれば、ゲート電極を、アモルファスシリコン膜6bおよび微粒径シリコン膜6aの積層状態で、不純物を注入・拡散することにより形成したので、実施の形態1の場合と同様に、チャネリングによる不純物の突き抜けやゲート空乏化を抑制できる。

【0059】さらに、アモルファスシリコン膜6b上にタングステン膜32等の金属膜を堆積し、エッチングすることによりゲート電極を形成したので、ゲート電極の低抵抗化を図ることができる。

【0060】（実施の形態3）実施の形態1および2においては、MISFETのゲート電極部に本発明を適用したが、本発明は、不純物を含むシリコン層を有する半導体集積回路装置に広く適用可能である。

【0061】図14は、本発明を不揮発性メモリセルに適用した場合の一例である。

【0062】この場合、半導体基板1（ p 型ウエル2）上には、熱酸化膜等からなるトンネル絶縁膜305を介して浮遊電極FGが形成されている。また、この浮遊電極FG上には、酸化シリコン膜等からなる絶縁膜22を介して制御電極CGが形成されている。

【0063】前記浮遊電極FGは、アモルファスシリコン膜6bおよび微粒径シリコン膜6aからなり、制御電極CGは、アモルファスシリコン膜6bおよび微粒径シリコン膜6a、窒化チタン膜（図示せず）およびタングステン膜32からなる。なお、窒化チタン膜（図示せず）およびタングステン膜の代わりにシリサイド膜を用

いてもよい。

【0064】これらの電極（CG、FG）中には不純物が含まれており、実施の形態1もしくは2で説明したように、アモルファスシリコン膜6bおよび微粒径シリコン膜6aの積層状態で、アモルファスシリコン膜6bに不純物を注入した後、拡散させる。その結果、チャネリングによる不純物の突き抜けを抑制でき、トンネル絶縁膜や層間絶縁膜の信頼性を向上させることができる。また、トンネル絶縁膜や層間絶縁膜の膜質が向上することにより、データの保持特性、書き込み特性もしくは読み出し特性が向上する。

【0065】また、図15は、本発明をDRAM（Dynamic Random Access Memory）メモリセルに適用した場合の一例である。DRAMメモリセルは、キャパシタCとこれに直列に接続された情報転送用MISFETQsにより構成され、このキャパシタCは、下部電極LE、容量絶縁膜CZおよび上部電極UEとからなる。また、このキャパシタCとMISFETQsの一端（ソース、ドレイン領域）とはプラグP1を介して接続される。また、MISFETQsの他端（ソース、ドレイン領域）とビット線BLとはプラグP2を介して接続される。

【0066】ここで、プラグP1、P2は、MISFETQsのソース、ドレイン領域上の酸化シリコン膜等よりなる層間絶縁膜THを除去することにより形成されたコンタクトホールC1、C2中にシリコン膜を埋め込むことにより形成される。

【0067】ここで、これらのプラグP1、P2とソース、ドレイン領域との接触抵抗の低減等のため、プラグP1、P2中に不純物を注入し、この不純物をプラグP1、P2からソース、ドレイン領域に拡散（固層拡散）させる。

【0068】従って、この固層拡散前のプラグP1、P2を、図15に示すように、アモルファスシリコン膜6bおよび微粒径シリコン膜6aの積層状態で、アモルファスシリコン膜6bに不純物を注入した後、拡散させることにより形成すれば、プラグP1、P2中の不純物の均一性を向上させることができる。このようなプラグP1、P2から固層拡散によりMISFETのソース、ドレイン領域中に不純物を注入（14）すれば、均一に拡散することができ、接触抵抗の低減を図ることができる。また、リフレッシュ特性を向上させることができる。

【0069】また、図16に示すように、本発明をDRAMメモリセルのキャパシタC部に適用してもよい。このキャパシタCは、下部電極LE、容量絶縁膜CZおよび上部電極UEとからなる。このキャパシタCの下部電極LEを、アモルファスシリコン膜6bおよび微粒径シリコン膜6aで構成し、アモルファスシリコン膜6bおよび微粒径シリコン膜6aの積層状態で、アモルファスシリコン膜6bに不純物を注入した後、拡散させる。そ

の結果、下部電極LE中の不純物の均一性を向上させることができる。その結果、キャパシタCの特性を向上させることができる。

【0070】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0071】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0072】MISFETのゲート絶縁膜上に、多結晶シリコン膜およびアモルファスシリコン膜を順次形成し、このアモルファスシリコン膜中に不純物を注入した後、拡散したので、これらの膜で構成されるゲート電極からの不純物の突き抜けを防止できる。また、不純物の拡散の均一性を向上させ、ゲート空乏化を抑制できる。

【0073】その結果、MISFETQn、Qpの閾値電位の変動を抑制し、また、駆動電流の減少を防止することができる等、半導体集積回路装置の特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図2】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図3】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図5】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図6】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図7】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図8】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図9】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図10】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図11】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図12】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図13】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図14】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図15】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図16】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【符号の説明】

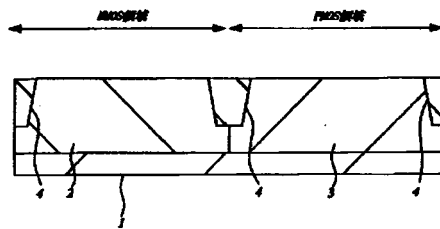
- 1 シリコン基板（半導体基板）
- 2 p型ウエル
- 3 n型ウエル
- 4 素子分離
- 5 ゲート絶縁膜
- 6a 微粒径シリコン膜
- 6b アモルファスシリコン膜
- 11 n⁻型半導体領域
- 12 p⁻型半導体領域
- 14 n⁺型半導体領域
- 15 p⁺型半導体領域
- 16s サイドウォール
- 21a CoSi₂層
- 22 絶縁膜
- 31 窒化チタン膜

- 32 タングステン膜
- 305 トンネル絶縁膜
- BL ビット線
- C キャパシタ
- C1、C2 コンタクトホール
- CG 制御電極
- CZ 容量絶縁膜
- FG 浮遊電極
- Gn n型ゲート電極
- Gp p型ゲート電極
- LE 下部電極
- P1、P2 プラグ
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET
- Qs 情報転送用MISFET
- R1 レジスト膜
- R2 レジスト膜
- TH 層間絶縁膜
- UE 上部電極

20

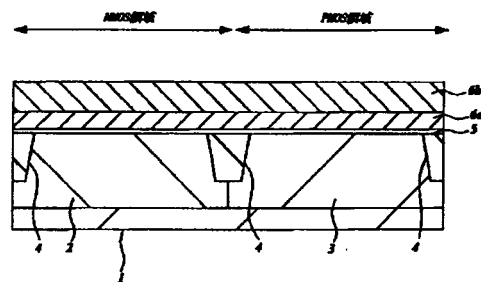
【図1】

図 1



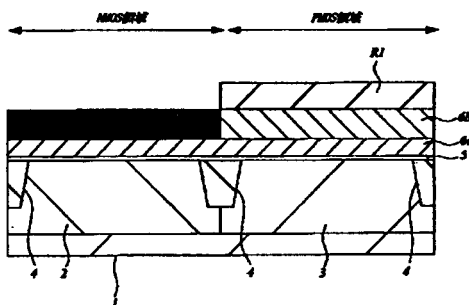
【図2】

図 2



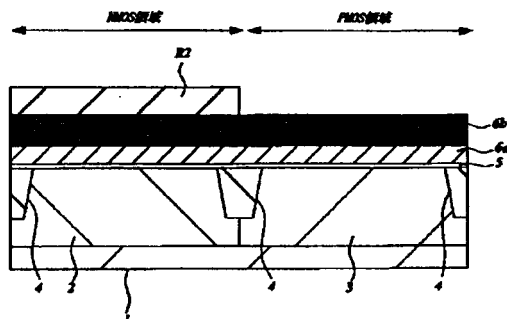
【図3】

図 3



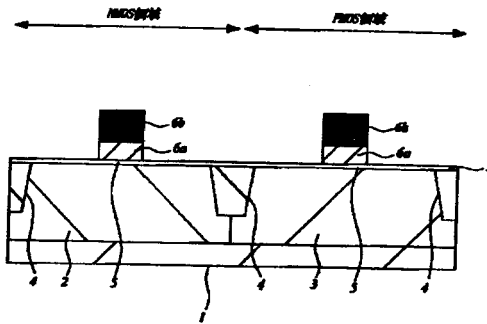
【図4】

図 4



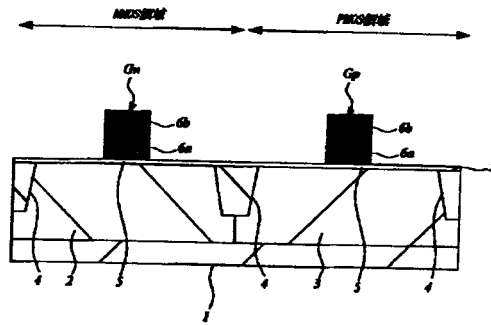
【図5】

図 5



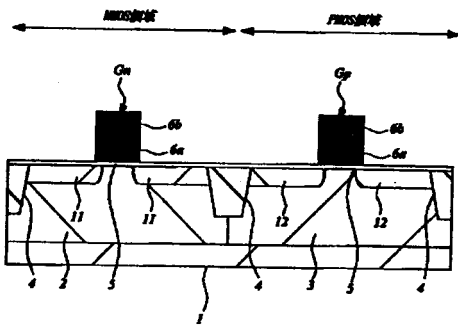
【図6】

図 6



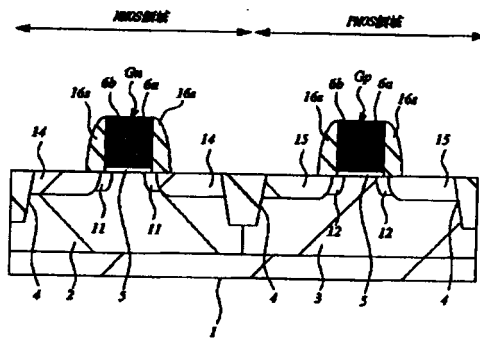
【図7】

図 7



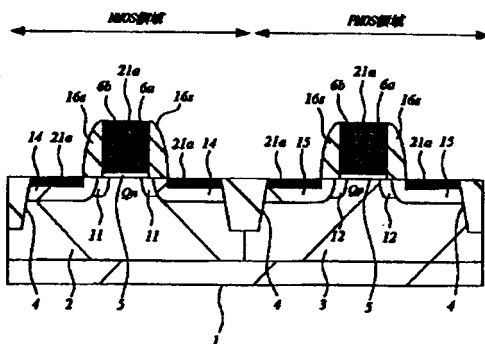
【図8】

図 8



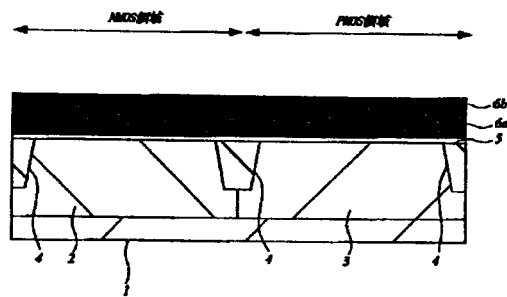
【図9】

図 9



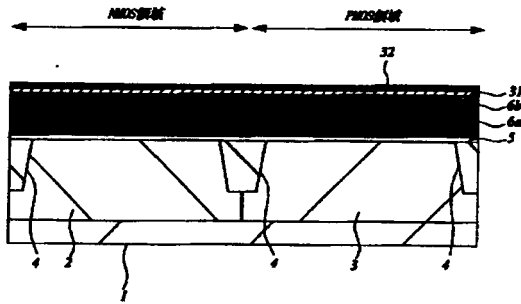
【図10】

図 10



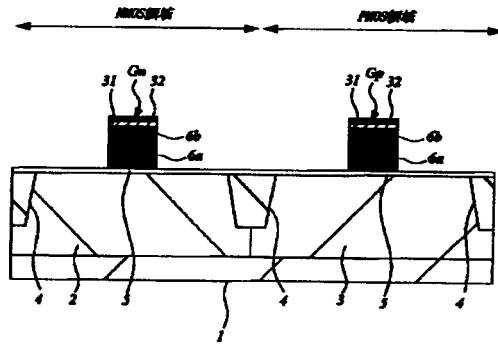
【図11】

図 11



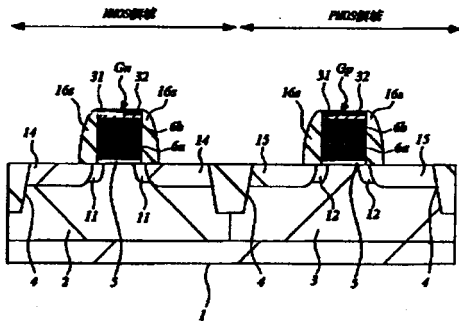
【図12】

図 12



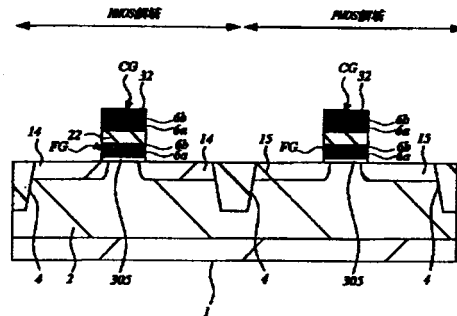
【図13】

図 13



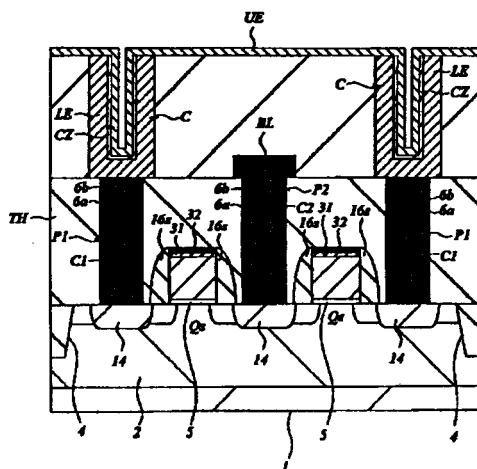
【図14】

図 14



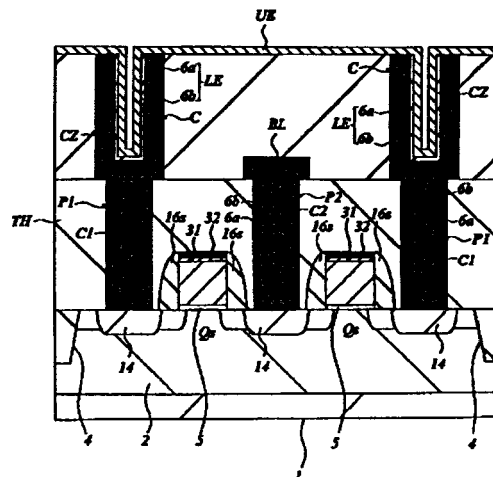
【図15】

図 15



【図16】

図 16



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	ターム (参考)
H 0 1 L	27/108	H 0 1 L	27/10
	27/115		6 7 1 Z
	29/43		4 3 4
	29/78	29/78	3 0 1 G
	29/788		
	29/792		
(72)発明者	山下 寿臣	F ターム (参考)	4M104 AA01 BB01 BB20 BB37 BB40
	東京都小平市上水本町5丁目22番1号 株		CC05 DD04 DD26 DD43 DD64
	式会社日立超エル・エス・アイ・システム		DD79 DD80 DD84 FF13 FF14
	ズ内		FF18 GG09 GG10 GG14 GG16
(72)発明者	清水 昭博		GG19 HH10 HH16
	東京都小平市上水本町5丁目22番1号 株	5F048	AA07 AB01 AC03 BA01 BB04
	式会社日立超エル・エス・アイ・システム		BB06 BB07 BB08 BB09 BB12
	ズ内		BB13 BB14 BB18 BC06 BE03
(72)発明者	黒田 淳		BF06 BF11 BG12 DA27
	東京都小平市上水本町5丁目22番1号 株	5F083	AD24 AD48 EP04 EP07 EP23
	式会社日立超エル・エス・アイ・システム		GA02 GA27 JA32 JA33 JA35
	ズ内		JA39 MA06 MA17 MA20 PR36
		5F101	BA07 BA19 BB05 BB08 BC01
			BD35 BH02
		5F140	AA05 AA06 AA39 AC32 BA01
			BC06 BC17 BE03 BE07 BF04
			BF14 BF21 BF22 BF27 BF28
			BF30 BF33 BF34 BG08 BG14
			BG28 BG30 BG32 BG33 BG34
			BG38 BG43 BG44 BG52 BH15
			BJ27 BK02 BK13 CB04 CC03
			CE10